

Electronica Digitale

Corso di Laurea in Ingegneria Elettronica e Informatica - A.A. 2021/2022

Docente: Gino Giusi - Dipartimento di Ingegneria - Università degli Studi di Messina, Contrada di Dio, 98166 S. Agata (Messina), tel: 090-6765918, e-mail: ggiusi@unime.it, web: <http://www.ginogiusi.com>

Obiettivo del corso: analisi, design e simulazione di circuiti elettronici digitali in tecnologia MOS. **Prerequisiti:** Reti elettriche lineari; fondamenti di reti logiche; fondamenti di elettromagnetismo. **Testi consigliati:** *Microelettronica*, R.C. Jaeger, T. N. Blalock, Mc Graw Hill; *CMOS: Circuit Design, Layout, and Simulation*, R. J. Baker, Wiley.

INTRODUZIONE. Introduzione all'Elettronica e cenni storici, evoluzione del transistor e dei primi calcolatori. Richiami di teoria delle reti elettriche lineari: relazioni costitutive, caratteristica corrente-tensione, componenti e reti lineari e non lineari, analisi in DC e caratteristiche di trasferimento, risposta dinamica: tempi di ritardo, salita e discesa. La simulazione circuitale con SPICE: storia e struttura del simulatore, descrizione del circuito, elementi circuitali implementati e modelli dei componenti, parametri e sotto-circuiti, stimoli transitori, comandi e classi di simulazione, analisi parametrica, esempi.

MATERIALI PER L'ELETTRONICA INTEGRATA. Materiali omogenei: semiconduttori, isolanti e metalli, moto termico e bande di energia, elettroni, lacune e concentrazione intrinseca, semiconduttori drogati, legge di azione di massa, neutralità di carica e concentrazione dei portatori, mobilità, conducibilità e resistività, corrente di deriva, saturazione di velocità e legge di Ohm. Resistori integrati: sheet resistance, design e modello SPICE. Interconnessioni in metallo ed elettromigrazione. Materiali non omogenei: corrente di diffusione e trasporto di carica drift/diffusion, trasporto nei metalli e nei semiconduttori. Giunzione pn: regione di svuotamento, polarizzazione diretta e inversa, modello di Shockley, caratteristica IV reale: resistenza serie, corrente inversa, breakdown, capacità di giunzione e di diffusione, diodo a giunzione pn integrato, modello SPICE. Giunzione metallo-semiconduttore. Processi tecnologici per la fabbricazione dei circuiti integrati: tecnologia del substrato, epitassia e crescita, ossidazione, fotolitografia, etching, deposizione di film, drogaggio per diffusione e impiantazione ionica. Interconnessioni: resistenza e capacità di linea, modello RC distribuito.

IL TRANSISTOR MOSFET. la struttura MOS: regioni di funzionamento, tensione di soglia e caratteristica CV; struttura e tecnologia del transistor MOSFET planare in tecnologia poly-Silicon Gate. Funzionamento del MOSFET: meccanismi di conduzione e caratteristiche corrente-tensione, effetto body, correnti di leakage, effetti capacitivi e modello di Meyer, modello SPICE, analisi dei circuiti in DC, transistor di tipo P e a svuotamento. Effetti di canale corto: modulazione di lunghezza di canale, saturazione di velocità, V_t roll-off, resistenze serie, effetti di alto campo; scaling a campo costante. Evoluzione del MOSFET: source/drain design, channel design, oxide design, strained Silicon, ossidi High-k e Metal gate, Silicon on Insulator e multiple-gate MOSFETs.

INTRODUZIONE ALL'ELETTRONICA DIGITALE: porte logiche ideali e reali; definizione dei livelli logici e margini di rumore; fan in/out; risposta dinamica: tempi di salita, discesa, ritardo di propagazione; dissipazione di potenza statica e dinamica; prodotto ritardo-potenza; ring-oscillator; modello digitale del MOSFET. Cenni sulla logica bipolare.

ANALISI E DESIGN DI CIRCUITI DIGITALI NMOS. Invertitore NMOS: caratteristica di trasferimento, risposta dinamica; potenza dissipata, power e delay scaling. Analisi, progetto e simulazione di invertitori NMOS con carico resistivo, in saturazione, in triodo, a svuotamento, con PMOS. Tecnologia PMOS. Analisi, design e simulazione di porte logiche NMOS a standard cells e complex gates. Porte di trasmissione NMOS/PMOS.

ANALISI E DESIGN DI CIRCUITI DIGITALI CMOS. Invertitore CMOS: tecnologia e steps di processo, caratteristica di trasferimento, risposta dinamica, potenza dissipata. Analisi, design e simulazione di porte logiche CMOS: standard cells e complex gates. Circuiti di buffer. Porta di trasmissione CMOS. Applicazioni delle porte di trasmissione: block selector, tri-state, path selector, mux-demux, transistor switch array, logica ad interruttori. Circuiti in logica dinamica: PE, Domino, NP logic.

MEMORIE MOS. Elementi di memoria in logica statica: latch D e meta-stabilità, latch SR NOR/NAND, latch D a porte di trasmissione, flip flop (FF) D Master-Slave, FF timing. Elementi di memoria in logica dinamica: FF-D Master-Slave dinamico, clock timing, clock a due e quattro fasi. Memorie RAM: array e circuiti di periferia, decoder riga/colonna, drivers e sense amplifiers. Celle di memoria SRAM (6T) e DRAM (1T-1C): scaling, analisi e simulazione delle operazioni di lettura e scrittura. Memorie non volatili: ROM, PROM, Floating Gate e architettura NOR/NAND Flash.

DESIGN E LAYOUT DEI CIRCUITI INTEGRATI. Regole di layout e progetto MOSIS. Software per il disegno dei circuiti integrati. Layers dei circuiti integrati: cross-section, layout di maschera, design rules e parassiti di linea. Resistori integrati: well e poly resistors, matching layouts, guard rings, voltage divider. Condensatori integrati: poly e metal capacitors. Strutture di test. MOSFET layout e parassiti. Chip design: standard cell e custom design, standard cell frame, power/signal routing, crosstalk e decoupling capacitor, bonding Pad, Padframe e protezione elettrostatica. Stick diagrams: routing e design rules. Esempi di layout e stick diagrams in logica NOR/NAND e a porte di trasmissione.

Modalità di verifica dell'apprendimento: l'esame è composto da tre quesiti ognuno dei quali può avere carattere analitico, progettuale, simulativo e/o teorico e possono richiedere l'ausilio di un calcolatore. Due dei tre quesiti vanno risolti e argomentati in forma scritta, il terzo può essere risolto in forma scritta o in forma orale. Nel primo caso la valutazione complessiva satura a 27/30. Al momento dell'iscrizione su ESSE3 lo studente deve aggiungere una nota relativa alla modalità di esame scelta. Durata e valutazione dei quesiti saranno proporzionali alle relative complessità.

Per lo svolgimento della prova scritta lo studente deve essere provvisto di carta, penna e di matite/pennarelli colorati per il disegno di layouts. E' vietato l'utilizzo di appunti/libri e di dispositivi elettronici con l'esclusione di una calcolatrice portatile. In accordo col docente sarà possibile l'utilizzo di calcolatori personali per la parte progettuale che include simulazioni e disegno di layouts.

Il docente si riserva di convocare gli studenti per chiarimenti sulla parte scritta/ progetto al calcolatore.